

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-171766

(43)Date of publication of application : 14.06.2002

(51)Int.Cl.

H02M 7/48

(21)Application number : 2000-366097 (71)Applicant : FUJI ELECTRIC CO LTD

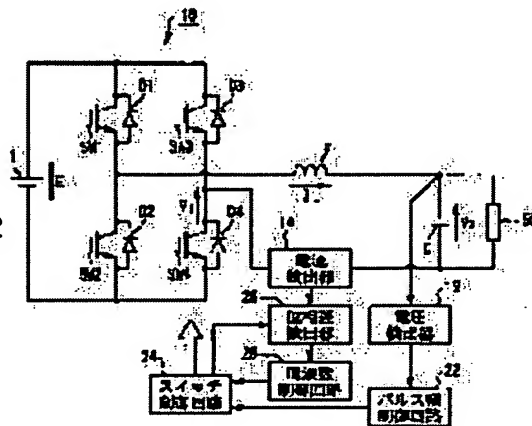
(22)Date of filing : 30.11.2000 (72)Inventor : YAMADA RYUJI

## (54) RESONANT INVERTER

### (57)Abstract:

PROBLEM TO BE SOLVED: To reduce the switching loss of a resonant inverter.

SOLUTION: A zero-cross timing, when an inverter output current  $I_L$  is shifted from a positive value to a negative value, is detected and a frequency command value  $f^*$  is updated so that the zero-cross timing and a turn-on timing of a switching device SW2 meet each other. Even if there is a deviation between the zero-cross timing of the inverter output current  $I_L$  and a turn-off timing of the switching device SW2, the frequency of an output voltage pulse V1 is controlled corresponding to the deviation by controlling the pulse width of the output voltage pulse V1 of an inverter 10 so that a load voltage V2 and a predetermined value VS meet each other. The phase of the inverter output current  $I_L$  is thereby deviated in such a direction that the zero-cross timing and the turn-on timing of the switching device SW2 meet each other. As a result, the switching device SW2 performs a zero-current switching operation to reduce the turn-off loss.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's  
decision of rejection]  
[Date of requesting appeal against  
examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The inverter circuit which outputs a forward and negative electrical-potential-difference pulse by turns by having two or more solid-state-switching components, and controlling these solid-state-switching component, In the resonance form inverter equipped with the reactor and capacitor which were connected to the outgoing end of the inverter circuit concerned at the serial A zero cross timing detection means to detect the zero cross timing of the output current of said inverter circuit, An edge detection means to detect the rising edge or falling edge of an output voltage pulse of said inverter circuit, A timing gap detection means to detect the gap with the zero cross timing detected with said zero cross timing detection means, and the detection timing of the edge detected with said edge detection means, A frequency control means to control the frequency of the output voltage pulse of said inverter circuit so that the timing gap detected with the timing gap detection means concerned is lost, The resonance form inverter characterized by having the switch control means which controls said solid-state-switching component so that the frequency of said output voltage pulse turns into a frequency set up with said frequency-control means.

[Claim 2] The resonance form inverter according to claim 1 characterized by controlling the supply voltage to a load by changing the pulse width of the output voltage pulse of said inverter circuit.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention connects to the output side of an inverter circuit the reactor and capacitor which were connected to the serial, and relates to the resonance form inverter which reduced those turn on power losses and turn off power losses especially about the resonance form inverter to which made it make resonance actuation perform.

[0002]

[Description of the Prior Art] In the so-called resonance form inverter conventionally equipped with the reactor and capacitor which were connected with the inverter which outputs a forward and negative electrical-potential-difference pulse by turns at the serial at the outgoing end, the supply voltage to a load is adjusted by performing PWM control which changes the ratio of the period when the output voltage pulse of an inverter serves as forward or a negative electrical potential difference, and the period used as a zero electrical potential difference. And in order to maintain a load electrical potential difference at a desired value irrespective of fluctuation of supply voltage, fluctuation of a load, etc., he performs said PWM control and is trying to adjust an output voltage pulse so that a load electrical potential difference may be supervised and this may serve as a desired electrical-potential-difference value.

[0003] As it is got blocked, for example, is shown in drawing 4, in the resonance form inverter which connected Reactor L and Capacitor C to the outgoing end of the full bridge form inverter 10 which consists of four switching elements SW1-SW4 by which diodes D1-D4 were connected to reverse juxtaposition at the serial, the electrical-potential-difference detector 12 has detected the both-ends electrical potential difference of the load linked to this capacitor C and juxtaposition.

[0004] And so that the load electrical potential difference detected with the electrical-potential-difference detector 12 may turn into a predetermined electrical potential difference set up beforehand in the pulse width control circuit 22 A pulse width command value is set up, it directs to the switch control circuit 24, and this switch control circuit 24 is the output voltage pulse V1 of an inverter 10. So that it may become the predetermined frequency set up beforehand And as shown in drawing 5, each switching elements SW1-SW4 are changed by turns on both sides of a dead time, so that it may become the pulse width specified in the pulse width control circuit 22. Output voltage pulse V1 used as the electrical-potential-difference value as which the specified frequency was specified by this It is outputted and is the desired load electrical potential difference V2. It is obtained.

[0005]

[Problem(s) to be Solved by the Invention] By the way, in the inverter 10, in case each of those switching elements SW1-SW4 are changed, it is known that turn on power losses and turn off power losses will arise. These turn on power losses and turn off power losses are the inverter output current IL. While not flowing, it is possible to decrease by performing zero current switching actuation which changes switching elements SW1-SW4.

[0006] However, by adjusting this pulse width, if PWM control adjusts the pulse width of an output voltage pulse as mentioned above in order to maintain a load electrical potential difference at a predetermined value, as shown in drawing 5, they are the change timing of switching elements SW1-SW4, and the inverter output current IL. The amount of gaps with zero cross timing is changed, and there is a problem that turn on power losses and turn off power losses may increase.

[0007] Then, this invention is made paying attention to the above-mentioned conventional unsolved problem, and aims at offering the possible resonance form inverter of reducing the increment in the turn off power losses and turn on power losses which originate in controlling pulse width and are produced.

[0008]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the resonance form inverter concerning claim 1 of this invention The inverter circuit which outputs a forward and negative electrical-potential-difference pulse by turns by having two or more solid-state-switching components, and controlling these solid-state-switching component, In the resonance form inverter equipped with the reactor and capacitor which were connected to the outgoing end of the inverter circuit concerned at the serial A zero cross timing detection means to detect the zero cross timing of the output current of said inverter circuit, An edge detection means to detect the rising edge or falling edge of an output voltage pulse of said inverter circuit, A timing gap detection means to detect the gap with the zero cross timing detected with said zero cross timing detection means, and the detection timing of the edge detected with said edge detection means, A frequency control means to control the frequency of the output voltage pulse of said inverter circuit so that the timing gap detected with the timing gap detection means concerned is lost, It is characterized by having the switch control means which controls said solid-state-switching component so that the frequency of said output voltage pulse turns into a frequency set up with said frequency-control means.

[0009] Moreover, the resonance form inverter concerning claim 2 is characterized by controlling the supply voltage to a load by changing the pulse width of the output voltage pulse of said inverter circuit in said resonance form inverter according to claim 1. While the rising edge or falling edge of an output voltage pulse of an inverter circuit is detected, the zero cross timing of the output current of an inverter circuit is detected, and, as for this claim 1 and a resonance form inverter according to claim 2, the gap with the detection timing of said edge and zero cross timing is detected. And the frequency of the output voltage pulse which an inverter circuit outputs is controlled so that this timing gap is lost.

[0010] or [ that is, / that the phase of the output current of an inverter circuit will progress in connection with this if the frequency of an output voltage pulse changes ] -- or since it is behind, if a frequency is adjusted so that a falling edge or a rising edge, and the zero cross timing of the output current may be in agreement, zero current SUTCHIINGU actuation will be performed and the switching element which constitutes a resonance form inverter will become possible [ reducing the switching loss of each switching element ].

[0011] In a resonance form inverter which controls the supply voltage to a load by changing the pulse width of the output voltage pulse of an inverter circuit especially, if pulse width is updated, it may fall, or the amount of gaps of a rising edge and zero cross timing may change, and a turn-on or turn off power losses may increase in connection with this. However, since frequency control is performed so that falling or the rising edge, and zero cross timing of an output voltage pulse of having changed pulse width may be in agreement, irrespective of change of pulse width, it will fall, or a rising edge and zero cross timing will be in agreement, and it becomes possible to reduce a turn-on or turn off power losses.

[0012]

[Embodiment of the Invention] Below, the gestalt of operation of this invention is explained.

Drawing 1 is the outline block diagram of the resonance form inverter which applied this invention. That is, as shown in drawing 1 , the reactor L which the inverter 10 was connected to the both ends of DC power supply 1, and was connected to the outgoing end at the serial, and Capacitor C are connected. And the load 50 is connected to the both ends of this capacitor C.

[0013] The switching element SW1 which said inverter 10 is the so-called full bridge type inverter, for example, it consisted of switching elements SW1-SW4 of self-extinction of arc forms, such as a transistor, and a switching element SW1, and SW2, SW3 and SW4 were connected to the serial, respectively, and was connected to these serials, and SW2, SW3 and SW4 are connected to DC power supply 1 at juxtaposition. Moreover, diodes D1-D4 are connected to reverse juxtaposition at each of each of said switching elements SW1-SW4.

[0014] And the end of Reactor L is connected at the node of the switching elements SW1 and SW2

connected to the serial of said inverter 10, and Capacitor C is connected between the other end of this reactor L, and the node of said switching elements SW3 and SW4. And the node of said switching elements SW1 and SW2 and the node of said switching elements SW3 and SW4 serve as an outgoing end of an inverter 10, and the electrical potential difference of these between is the output voltage pulse V1 of an inverter 10. It carries out and a load 50 is supplied.

[0015] Moreover, the electrical-potential-difference detector 12 for measuring a load electrical potential difference is formed in the both ends of Capacitor C, and it is the output current IL of a resonance form inverter between the outgoing end of said inverter 10, and Capacitor C further. The current detector 14 to detect is formed. It is the output voltage pulse V1 of said inverter 10 so that this pulse width control circuit 22 may serve as a predetermined load electrical potential difference to which the detection electrical potential difference detected with said electrical-potential-difference detector 12 was beforehand set according to the load 50 by outputting the detection electrical potential difference of said electrical-potential-difference detector 12 to the pulse width control circuit 22. Pulse width is set up and it outputs to the switch control circuit 24 by making this into a pulse width command value.

[0016] Moreover, the detection current of said current detector 14 is outputted to the phase contrast detector 26, and the phase contrast detector 26 is the inverter output current IL based on the detecting signal of said current detector 14. Zero cross timing is detected. And the inverter output current IL. Based on zero cross timing and the change timing information of switching elements SW1-SW4 inputted from said switch control circuit 24, the gap with a switching element SW1, the turn-on timing of SW2, a switching element SW3 or the turn-off timing of SW4, and zero cross timing is detected, and it judges whether zero cross timing is progressing to the change timing of each switching elements SW1-SW4. And it outputs to the frequency control circuit 28 by making the decision result into timing gap information.

[0017] Here, they are the change timing of said switching element, and the inverter output current IL. Detection of the gap with zero cross timing is said output voltage pulse V1. It is [ the change timing of a switching element of specifying a rising edge and a falling edge, the change timing of the switching element which this, i.e., switching loss, produces, and ] said output voltage pulse V1. The inverter output current IL corresponding to a falling edge and a rising edge A gap is detected about zero cross timing.

[0018] that is, it is shown in drawing 5 -- as -- a time -- output voltage pulse V1 of t11 since standup timing is decided by turn-on timing of a switching element SW1 -- the turn-on timing of a switching element SW1, and the inverter output current IL The gap is detected about the zero cross timing which changes from a negative value to a positive value. moreover, a time -- output voltage pulse V1 of t14 since falling timing is decided by turn-on timing of a switching element SW2 -- the turn-on timing of a switching element SW2, and the inverter output current IL The gap is detected about the zero cross timing which changes from a positive value to a negative value.

[0019] moreover, a time -- output voltage pulse V1 of t12 Falling timing It is [ a rule and ] the output voltage pulse V1 of t15 by the turn-off timing of a switching element SW4 at the time. Standup timing Since it is decided by turn-off timing of a switching element SW3, the turn-off timing of a switching element SW4, Inverter output current IL The gap with the zero cross timing which changes from a positive value to a negative value is detected, and it is [ the turn-off timing of a switching element SW3, and ] the inverter output current IL similarly. The gap with the zero cross timing which changes from a negative value to a positive value is detected.

[0020] Said frequency control circuit 28 is the output voltage pulse V1 based on the timing gap information from said phase contrast detector 26. A frequency is set up. That is, it is the inverter output current IL with the phase contrast detector 26. When it judges that the direction of zero cross timing is progressing rather than the change timing of a switching element, only the predetermined frequency  $\Delta f$  which set up frequency command value  $f^*$  beforehand is decreased. On the contrary, when judged with the zero cross timing of the inverter output current IL being later than the change timing of a switching element, it is frequency command value  $f^*$ . Only predetermined frequency  $\Delta f$  makes it increase.

[0021] Said switch control circuit 24 The pulse width command value from the pulse width control circuit 22, Frequency command value  $f^*$  from said frequency control circuit 28 Output voltage pulse

V1 which has the pulse width which is the specified frequency and was specified as the basis That it should output The change timing of each switching elements SW1-SW4 is controlled, and it is said output voltage pulse V1. So that it may carry out and a forward electrical potential difference and a forward negative electrical potential difference may be outputted by turns On both sides of the dead time which turns off both OFF or switching elements SW3 and SW4 of both for switching elements SW1 and SW2, each switching elements SW1-SW4 are turned on/off controlled. That is, output voltage pulse V1 set to supply voltage +E of DC power supply 1 by setting both the switching elements SW1 and SW4 to ON as shown in drawing 2 It outputs and -E is outputted by setting switching elements SW2 and SW3 to ON conversely. And at the times other than this, it is the output voltage pulse V1. It becomes a zero electrical potential difference.

[0022] In addition, since the diode by which the driving signal was connected to the switching element given as ON and reverse juxtaposition serves as ON from the switch control circuit 24 although diodes D1 and D4 or diodes D2 and D3 flow when the polarities of the electrical potential difference between the outgoing ends of an inverter 10 and a current differ, it becomes equivalent to the condition that the switching element to which the driving signal is given as ON has flowed.

[0023] An inverter 10 corresponds to an inverter circuit, and it sets to the current detector 14 and the phase contrast detector 26 here, and is the inverter output current IL. The processing which detects zero cross timing corresponds to a zero cross timing detection means. The processing which outputs the change timing information of each switching element to the phase contrast detector 26 from the switch control circuit 24 corresponds to an edge detection means. The processing which detects the gap with zero cross timing and the change timing of a switching element in the phase contrast detector 26 corresponds to a timing gap detection means, the frequency-control circuit 28 corresponds to a frequency-control means, and the switch control circuit 24 supports the switch control means.

[0024] Next, actuation of the gestalt of the above-mentioned implementation is explained. An operation frequency is the frequency initial value  $f_0$  about now and an inverter 10. It drives and is the load electrical potential difference V2. Predetermined value  $v_S$  When it shall drive so that it may become, in the frequency control circuit 28 Frequency command value  $f^*$  It carries out and is the frequency initial value  $f_0$ . It sets up, and outputs to the switch control circuit 24 (drawing 3 step S1), and is the load electrical potential difference V2 in the pulse width control circuit 22. Predetermined value  $v_S$  The pulse width command value which can become is set up and this is outputted to the switch control circuit 24.

[0025] frequency command value  $f^*$  specified in the switch control circuit 24 it is -- and each switching elements SW1-SW4 are changed to predetermined timing so that it may become the specified pulse width command value. frequency  $f^*$  specified by this it is -- and output pulse electrical potential difference V1 of the specified pulse width resonance actuation are outputted from an inverter 10 and according to Reactor L and Capacitor C -- output voltage pulse V1 Big load electrical potential difference V2 It generates and this is impressed to a load 50.

[0026] This load electrical potential difference V2 It is detected by the electrical-potential-difference detector 12, and is outputted to the pulse width control circuit 22. The detection electrical potential difference and the predetermined value  $v_S$  which were detected with the electrical-potential-difference detector 12 in the pulse width control circuit 22 It compares and a detection electrical potential difference is the predetermined value  $v_S$ . When large A pulse width command value is set up so that the section used as the zero of output voltage pulse V1 </SUB> may increase more, and a detection electrical potential difference is the predetermined value  $v_S$  conversely. When small, it is the output voltage pulse V1. A pulse width command value is set up so that the section used as +E or -E may increase more.

[0027] In the switch control circuit 24, it is the output voltage pulse V1. Since each switching elements SW1-SW4 are changed so that it may be in agreement with the pulse width command value as which pulse width was specified, it is the output voltage pulse V1. Pulse width is controlled and it is the load electrical potential difference V2. It is controlled in agreement with the predetermined value  $v_S$ . At this time, it is the inverter output current IL with the current detector 14. It has detected, that detection result is outputted to the phase contrast detector 26, and it is the inverter output current IL with this phase contrast detector 26. Zero cross timing is detected. For example, the turn-on

timing of the switching element SW2 among the change information on the switching elements SW1-SW4 from the switch control circuit 24 and the inverter output current IL. When it detects whether the zero cross timing which serves as a negative value from a positive value is in agreement and these are not in agreement, it detects which timing is progressing.

[0028] this time V1, for example, an output voltage pulse, Frequency  $f_V$   $f_V = f_0$  it is -- the case where the on-off condition of the switching elements SW1-SW4 at the time and the inverter output current IL have the relation shown in drawing 5 -- a time -- t13 -- the inverter output current IL zero cross timing detects -- having -- a time -- t14 -- the inverter output current IL. The turn-on timing of a switching element SW2 will be detected. Therefore, the inverter output current IL. Since the direction of zero cross timing is progressing, this is notified to the frequency control circuit 28.

[0029] In the frequency control circuit 28, based on the timing gap information from the phase contrast detector 26. When it judges (step S2) and there is no gap among these, whether it changes to zero cross timing and there is any gap in timing. It is frequency command value  $f^*$  succeeding. It carries out and is the frequency initial value  $f_0$ . It sets up and is the output voltage pulse V1. A frequency is the frequency initial value  $f_0$ . Although it directs to become. If it is notified that it changes from the phase contrast detector 26 to zero cross timing, and there is a gap in timing, it will shift to step S3 from step S2. And it is the inverter output current IL in this case. Since the direction of zero cross timing is progressing, it shifts to step S4 from step S3, and it is frequency command value  $f^*$ . Only  $\Delta f$  is enlarged and directs this to the switch control circuit 24.

[0030] The change timing of each switching elements SW1-SW4 is changed, by this, change control of switching elements SW1-SW4 is performed, and it follows on this in the switch control circuit 24 so that only  $\Delta f$  may become a large frequency from the former, and it is the output voltage pulse V1. A frequency changes. thus, output voltage pulse V1. The inverter output current IL if a frequency changes, since the impedance of the resonance circuit which consists of a reactor L and a capacitor C will change a phase -- delay and drawing 5 -- setting -- Time t -- the gap with the turn-on timing of the switching element SW2 of t14 shifts in the direction which becomes small at the zero cross timing of t13, and the time.

[0031] And while these zero cross timing and turn-on timing are not in agreement, it returns from step S4 to step S2, and shifts to step S4 through step S3 further, and it is frequency command value  $f^*$ .  $\Delta f$  is added and a frequency is made to increase further. this -- the inverter output current IL a phase -- little by little -- delay -- soon -- output voltage pulse V1. Frequency  $f_V$  when controlled by  $f_V = f_s$ , it is shown in drawing 2 -- as -- a time -- t3. The inverter output current IL. Zero cross timing and the turn-on timing of a switching element SW2 are in agreement.

[0032] Frequency command value  $f^*$  since these zero cross timing and turn-on timing were in agreement in the frequency control circuit 28. Frequency [ stop updating and ] command value [ at this time ]  $f^*$ . It directs continuously to the switch control circuit 24. On the contrary, the inverter output current IL. When zero cross timing is behind the turn-on timing of a switching element SW2, it shifts to step S5 from step S3, and it is frequency command value  $f^*$ . Only  $\Delta f$  is decreased. Therefore, output voltage pulse V1. Frequency  $f_V$ . The inverter output current IL since it becomes small. A phase progresses and it is the inverter output current IL. Changing in the direction in which zero cross timing approaches the turn-on timing of a switching element SW2, these are in agreement soon.

[0033] Therefore, it is the load electrical potential difference V2 by fluctuation of the supply voltage of DC power supply 1, fluctuation of a load 50, etc. When it changes, it is this load electrical potential difference V2. It is the output voltage pulse V1 so that fluctuation may be controlled. Pulse width is changed, and it follows on this, and is [ the change timing of switching elements SW1-SW4, and ] the inverter output current IL. Relation with zero cross timing will change. And they are the turn-on timing of a switching element SW2, and the inverter output current IL at this time. If zero cross timing has shifted, it is the inverter output current IL to the turn-on timing of a switching element SW2. It will flow and turn on power losses will arise.

[0034] However, it is the output voltage pulse V1 so that zero cross timing and the turn-on timing of a switching element SW2 may be in agreement. A frequency is controlled and it is the inverter output current IL. Since a phase is adjusted, a switching element SW2 will be in a zero current switching condition, and can reduce the turn on power losses of a switching element SW2.



[0035] Moreover, since the turn-on timing of a switching element SW1 and the turn-on timing of a switching element SW2 are shifted the semicircle term, by making in agreement the turn-on timing and zero cross timing of a switching element SW2, the turn-on timing and zero cross timing of a switching element SW1 will also be in agreement, and the turn on power losses of a switching element SW1 will also be reduced.

[0036] Moreover, it sets in the gestalt of the above-mentioned implementation, and is the inverter output current  $I_L$ . Since direct detection is carried out and he is trying to detect zero cross timing based on this, zero cross timing can be detected with high precision, and switching loss can be more exactly reduced by performing frequency regulation based on this zero cross timing.

[0037] Moreover, in this way, since switching loss can be reduced, the power efficiency of the whole equipment can be raised. Moreover, if switching loss arises, since it is necessary to radiate the heat by this, equipment will be enlarged, but in the gestalt of the above-mentioned implementation, since switching loss can be reduced, enlargement of equipment can be controlled.

[0038] Moreover, he is trying to reduce the turn on power losses of a switching element SW2 by changing the operation frequency of an inverter 10 in the gestalt of the above-mentioned implementation. For this reason, by changing an operation frequency, a current value may increase and turn off power losses may increase with the increment in the current value at the time of a turn-off. However, since the augend of these turn off power losses is minute as compared with the amount of reduction of turn on power losses, it is satisfactory.

[0039] Moreover, since switching loss can be reduced by controlling the operation frequency of an inverter 10, it can realize, without changing the existing configuration sharply. Moreover, even if it is a case with it difficult [ to aim at loss reduction by other technique, such as software switching ], by controlling the operation frequency of an inverter 10, loss reduction can be aimed at and loss can be further reduced more by aiming at loss reduction combining these.

[0040] It is the output voltage pulse V1 about the increment in the switching loss which originates in change of pulse width although the amount of gaps of the change timing of a switching element and zero cross timing may change according to change of the pulse width and switching loss may increase when pulse width is especially controlled by PWM control. By changing a frequency, since it can control, it is suitable.

[0041] In addition, it sets in the gestalt of the above-mentioned implementation, and they are the turn-on timing of a switching element SW2, and the inverter output current  $I_L$ . By making zero cross timing in agreement Although the case where the turn on power losses of switching elements SW1 and SW2 were reduced was explained The turn-on timing and the inverter output current  $I_L$  of not only this but the switching element SW1 You may make it make in agreement the zero cross timing which serves as a positive value from a negative value. Also in this case, the turn on power losses of switching elements SW1 and SW2 can be reduced.

[0042] Moreover, in the gestalt of the above-mentioned implementation, although the case where the turn on power losses of the zero cross switching elements SW1 and SW2 were reduced was explained, it is possible not only this but to reduce the turn off power losses of a switching element SW3 and a switching element SW4. In this case, the turn-off timing and the inverter output current  $I_L$  of a switching element SW3 The zero cross timing which serves as a positive value from a negative value or the turn-off timing of a switching element SW4, and the inverter output current  $I_L$ . What is necessary is making it just make in agreement the zero cross timing which serves as a negative value from a positive value.

[0043] Moreover, these [ both ] cannot be reduced although both the turn on power losses of switching elements SW1 and SW2 and the turn off power losses of switching elements SW3 and SW4 can be reduced in this way. Therefore, whether loss [ which ] is reduced should just choose the larger one of loss, or the one where it is more difficult to aim at loss reduction by other technique, such as software switching.

[0044] Moreover, in the gestalt of the above-mentioned implementation, although the case where a load 50 was connected to Capacitor C and juxtaposition was explained, even if it is the case where a load 50 is connected between Reactor L and Capacitor C, it is applicable. Moreover, although the case where it applied to the inverter of a full bridge form was explained, even if it is possible not only this but to apply to the inverter of for example, a half bridge form and it is not only a single

phase inverter but a polyphase inverter, it is applicable, and if it is a resonance form inverter, in short, it is applicable.

[0045] moreover, the gestalt of the above-mentioned implementation -- setting -- frequency command value  $f^* \Delta f$  every, although the case where it was made to update was explained, it does not restrict to this. For example, the amount of gaps of the change timing of a switching element and zero cross timing is detected, and PI (proportionality and integral) controller etc. is used, and when said amount of gaps is comparatively large, it is frequency command value  $f^*$ . It updates comparatively greatly and you may make it update a frequency little by little after that.

[0046]

[Effect of the Invention] Since the frequency was controlled according to the resonance form inverter concerning claim 1 and claim 2 of this invention so that the standup of the output voltage pulse of an inverter circuit or the timing of a falling edge, and the zero cross timing of the output current of an inverter circuit were in agreement as explained above, the switching loss of the switching element which constitutes an inverter circuit can be reduced easily.

---

[Translation done.]

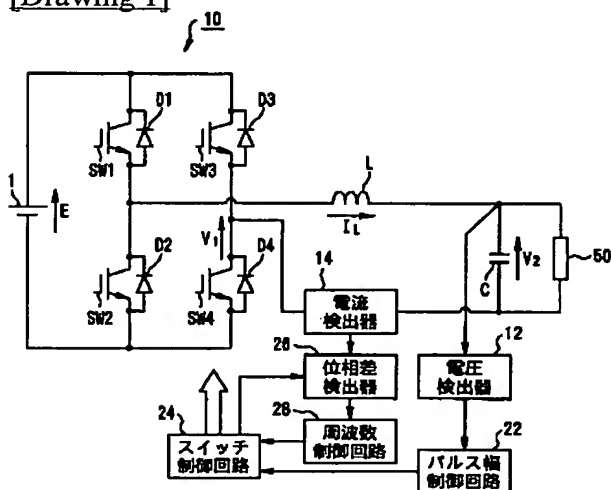
## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

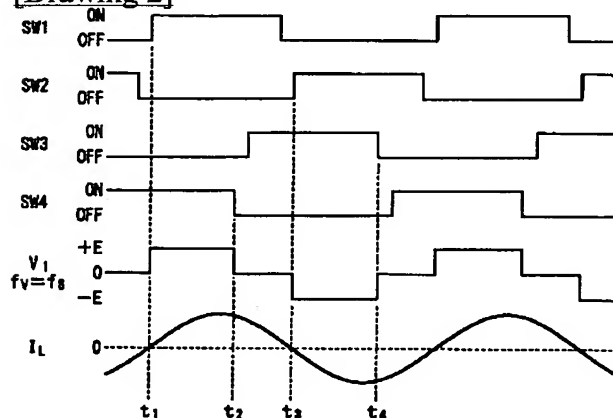
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

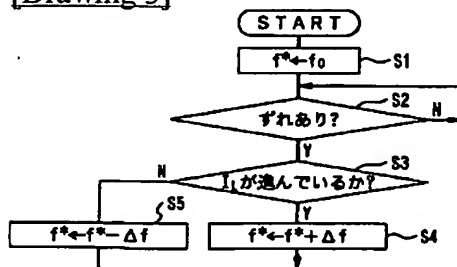
[Drawing 1]



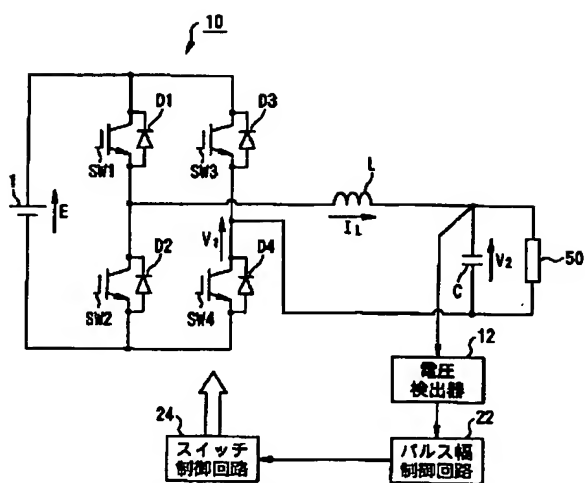
[Drawing 2]



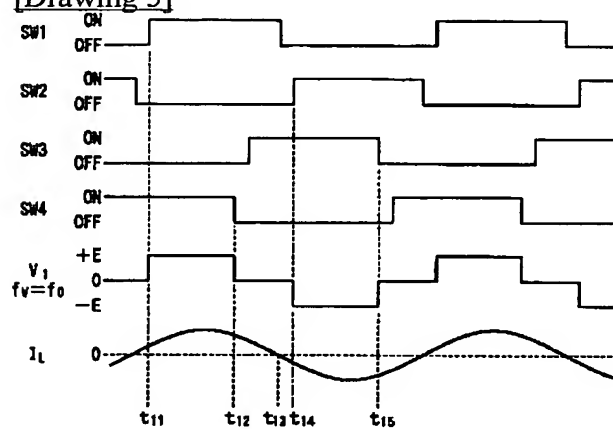
[Drawing 3]



[Drawing 4]



[Drawing 5]



[Translation done.]

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-171766

(43)Date of publication of application : 14.06.2002

(51)Int.Cl.

H02M 7/48

(21)Application number : 2000-366097

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 30.11.2000

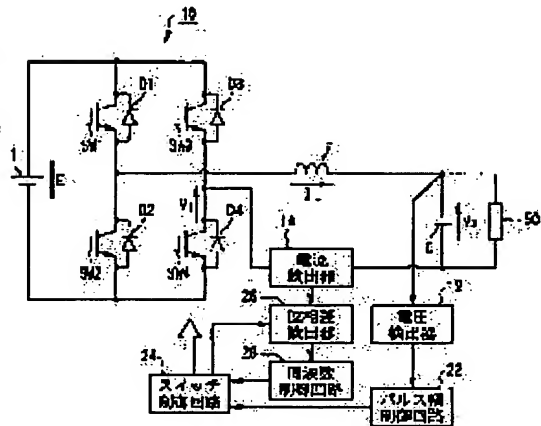
(72)Inventor : YAMADA RYUJI

## (54) RESONANT INVERTER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the switching loss of a resonant inverter.

**SOLUTION:** A zero-cross timing, when an inverter output current  $I_L$  is shifted from a positive value to a negative value, is detected and a frequency command value  $f^*$  is updated so that the zero-cross timing and a turn-on timing of a switching device SW2 meet each other. Even if there is a deviation between the zero-cross timing of the inverter output current  $I_L$  and a turn-off timing of the switching device SW2, the frequency of an output voltage pulse V1 is controlled corresponding to the deviation by controlling the pulse width of the output voltage pulse V1 of an inverter 10 so that a load voltage V2 and a predetermined value VS meet each other. The phase of the inverter output current  $I_L$  is thereby deviated in such a direction that the zero-cross timing and the turn-on timing of the switching device SW2 meet each other. As a result, the switching device SW2 performs a zero-current switching operation to reduce the turn-off loss.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-171766

(P2002-171766A)

(43) 公開日 平成14年6月14日 (2002.6.14)

(51) Int.Cl.<sup>7</sup>

H 0 2 M 7/48

識別記号

F I

H 0 2 M 7/48

テーマコード(参考)

P 5 H 0 0 7

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願2000-366097 (P2000-366097)

(22) 出願日 平成12年11月30日 (2000.11.30)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 山田 隆二

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 100066980

弁理士 森 哲也 (外2名)

Fターム(参考) 5H007 AA01 AA03 AA05 CA01 CB04

CB05 CB22 CC09 DA03 DB01

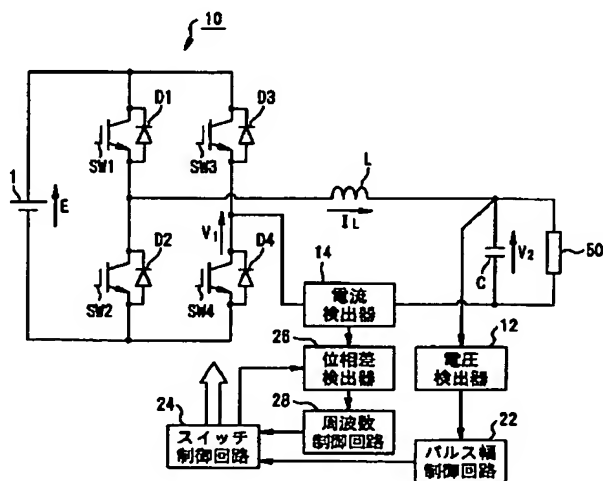
DC02 EA02

(54) 【発明の名称】 共振形インバータ

(57) 【要約】

【課題】 共振形インバータのスイッチング損失の低減を図る。

【解決手段】 インバータ出力電流  $I_L$  が正値から負値へ移行するときのゼロクロスタイミングを検出し、このゼロクロスタイミングとスイッチング素子  $SW2$  のターンオンタイミングとが一致するように周波数指令値  $f^*$  を更新する。負荷電圧  $V_2$  と所定値  $V_S$  とが一致するようにインバータ10の出力電圧パルス  $V_1$  のパルス幅を制御することにより、インバータ出力電流  $I_L$  のゼロクロスタイミングとスイッチング素子  $SW2$  のターンオフタイミングとにずれが生じて、このずれに応じて出力電圧パルス  $V_1$  の周波数が制御されるから、インバータ出力電流  $I_L$  の位相が、そのゼロクロスタイミングとスイッチング素子  $SW2$  のターンオンタイミングとが一致する方向にずれ、スイッチング素子  $SW2$  はゼロ電流スイッチング動作を行うことになってそのターンオン損失が低減されることになる。



## 【特許請求の範囲】

【請求項1】 複数の半導体スイッチング素子を有しこれら半導体スイッチング素子を制御することによって正及び負の電圧パルスを交互に出力するインバータ回路と、当該インバータ回路の出力端に直列に接続されたリアクトル及びコンデンサとを備えた共振形インバータにおいて、

前記インバータ回路の出力電流のゼロクロスタイミングを検出するゼロクロスタイミング検出手段と、

前記インバータ回路の出力電圧パルスの立ち上がりエッジ又は立ち下がりエッジを検出するエッジ検出手段と、前記ゼロクロスタイミング検出手段で検出されるゼロクロスタイミングと前記エッジ検出手段で検出されるエッジの検出タイミングとのずれを検出するタイミングずれ検出手段と、

当該タイミングずれ検出手段で検出したタイミングずれがなくなるように前記インバータ回路の出力電圧パルスの周波数を制御する周波数制御手段と、

前記出力電圧パルスの周波数が前記周波数制御手段で設定された周波数となるように前記半導体スイッチング素子を制御するスイッチ制御手段と、を備えることを特徴とする共振形インバータ。

【請求項2】 前記インバータ回路の出力電圧パルスのパルス幅を変えることによって負荷への供給電圧を制御するようになっていることを特徴とする請求項1記載の共振形インバータ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、インバータ回路の出力側に、直列に接続されたリアクトル及びコンデンサを接続し、共振動作を行わせるようにした共振形インバータに関し、特に、そのターンオン損失及びターンオフ損失を低減するようにした共振形インバータに関する。

## 【0002】

【従来の技術】従来、正及び負の電圧パルスを交互に出力するインバータと、その出力端に直列に接続されたリアクトル及びコンデンサとを備えた、いわゆる共振形インバータにおいては、インバータの出力電圧パルスが正又は負電圧となる期間と、零電圧となる期間との比率を変えるPWM制御を行うことによって、負荷への供給電圧を調整するようになっている。そして、電源電圧の変動や負荷の変動等に係わらず負荷電圧を所望の値に保つために、負荷電圧を監視し、これが所望の電圧値となるように、前記PWM制御を行って出力電圧パルスを調整するようにしている。

【0003】つまり、例えば図4に示すように、逆並列にダイオードD1～D4が接続された4つのスイッチング素子SW1～SW4で構成されるフルブリッジ形インバータ10の出力端に、リアクトルLとコンデンサCと

を直列に接続した共振形インバータにおいては、このコンデンサCと並列に接続した負荷の両端電圧を電圧検出器12によって検出している。

【0004】そして、パルス幅制御回路22において、電圧検出器12で検出した負荷電圧が予め設定された所定の電圧となるように、パルス幅指令値を設定してスイッチ制御回路24に対して指示を行い、このスイッチ制御回路24が、インバータ10の出力電圧パルス $V_1$ が予め設定された所定の周波数となるように、且つ、パルス幅制御回路22で指定されたパルス幅となるように、各スイッチング素子SW1～SW4を図5に示すようにデッドタイムをはさんで交互に切り替える。これによって、指定された周波数の指定された電圧値となる出力電圧パルス $V_1$ が出力されて、所望の負荷電圧 $V_2$ が得られるようになっている。

## 【0005】

【発明が解決しようとする課題】ところで、インバータ10においては、その各スイッチング素子SW1～SW4を切り替える際に、ターンオン損失及びターンオフ損失が生じることが知られている。このターンオン損失及びターンオフ損失は、インバータ出力電流 $I_L$ が流れていないときにスイッチング素子SW1～SW4を切り替えるゼロ電流スイッチング動作を行うことによって低減することが可能である。

【0006】しかしながら、上述のように、負荷電圧を所定の値に保つために、PWM制御によって出力電圧パルスのパルス幅を調整すると、このパルス幅を調整することによって、図5に示すように、スイッチング素子SW1～SW4の切り替えタイミングとインバータ出力電流 $I_L$ のゼロクロスタイミングとのずれ量の変動し、ターンオン損失及びターンオフ損失が増加してしまう場合があるという問題がある。

【0007】そこで、この発明は、上記従来の未解決の問題に着目してなされたものであり、パルス幅を制御することに起因して生じるターンオフ損失及びターンオン損失の増加を低減することの可能な共振形インバータを提供することを目的としている。

## 【0008】

【課題を解決するための手段】上記目的を達成するために、本発明の請求項1に係る共振形インバータは、複数の半導体スイッチング素子を有しこれら半導体スイッチング素子を制御することによって正及び負の電圧パルスを交互に出力するインバータ回路と、当該インバータ回路の出力端に直列に接続されたリアクトル及びコンデンサとを備えた共振形インバータにおいて、前記インバータ回路の出力電流のゼロクロスタイミングを検出するゼロクロスタイミング検出手段と、前記インバータ回路の出力電圧パルスの立ち上がりエッジ又は立ち下がりエッジを検出するエッジ検出手段と、前記ゼロクロスタイミング検出手段で検出されるゼロクロスタイミングと前記

エッジ検出手段で検出されるエッジの検出タイミングとのずれを検出するタイミングずれ検出手段と、当該タイミングずれ検出手段で検出したタイミングずれがなくなるように前記インバータ回路の出力電圧パルスの周波数を制御する周波数制御手段と、前記出力電圧パルスの周波数が前記周波数制御手段で設定された周波数となるように前記半導体スイッチング素子を制御するスイッチ制御手段と、を備えることを特徴としている。

【0009】また、請求項2に係る共振形インバータは、前記請求項1記載の共振形インバータにおいて、前記インバータ回路の出力電圧パルスのパルス幅を変えることによって負荷への供給電圧を制御するようになっていたことを特徴としている。この請求項1及び請求項2に記載の共振形インバータは、インバータ回路の出力電圧パルスの立ち上がりエッジ又は立ち下がりエッジが検出されると共に、インバータ回路の出力電流のゼロクロスタイミングが検出され、前記エッジの検出タイミングとゼロクロスタイミングとのずれが検出される。そして、このタイミングずれがなくなるように、インバータ回路が出力する出力電圧パルスの周波数が制御される。

【0010】つまり、出力電圧パルスの周波数が変化すると、これに伴って、インバータ回路の出力電流の位相が進むか又は遅れるから、立ち下がりエッジ又は立ち上がりエッジと出力電流のゼロクロスタイミングとが一致するように周波数を調整すれば、共振形インバータを構成するスイッチング素子は、ゼロ電流スイッチング動作が行われることになって、各スイッチング素子のスイッチング損失を低減することが可能となる。

【0011】特に、負荷への供給電圧を、インバータ回路の出力電圧パルスのパルス幅を変えることによって制御するような共振形インバータにおいては、パルス幅を更新すると、立ち下がり或いは立ち上がりエッジとゼロクロスタイミングとのずれ量に変化し、これに伴ってターンオン或いはターンオフ損失が増加する場合がある。しかしながら、パルス幅が変更された出力電圧パルスの立ち下がり又は立ち上がりエッジとゼロクロスタイミングとが一致するように、周波数制御を行うから、パルス幅の変化に係わらず、立ち下がり或いは立ち上がりエッジとゼロクロスタイミングとが一致することになって、ターンオン或いはターンオフ損失を低減することが可能となる。

【0012】

【発明の実施の形態】以下に、本発明の実施の形態を説明する。図1は、本発明を適用した共振形インバータの概略構成図である。すなわち、図1に示すように、直流電源1の両端にインバータ10が接続され、その出力端に、直列に接続されたリアクトルL及びコンデンサCが接続されている。そして、このコンデンサCの両端に負荷50が接続されている。

【0013】前記インバータ10は、いわゆるフルブリ

ッジ型インバータであって、例えばトランジスタ等の自己消弧形のスイッチング素子SW1～SW4から構成され、スイッチング素子SW1とSW2、SW3とSW4とがそれぞれ直列に接続され、これら直列に接続されたスイッチング素子SW1及びSW2、SW3及びSW4が、直流電源1に並列に接続されている。また、前記各スイッチング素子SW1～SW4のそれぞれには逆並列にダイオードD1～D4が接続されている。

【0014】そして、前記インバータ10の直列に接続されたスイッチング素子SW1及びSW2の接続点にリアクトルLの一端が接続され、このリアクトルLの他端と前記スイッチング素子SW3及びSW4の接続点との間にコンデンサCが接続されている。そして、前記スイッチング素子SW1及びSW2の接続点と前記スイッチング素子SW3及びSW4の接続点とがインバータ10の出力端となり、これら間の電圧がインバータ10の出力電圧パルス $V_1$ として負荷50に供給されるようになっている。

【0015】また、コンデンサCの両端には負荷電圧を計測するための電圧検出器12が設けられ、さらに、前記インバータ10の出力端とコンデンサCとの間に共振形インバータの出力電流 $I_L$ を検出する電流検出器14が設けられている。前記電圧検出器12の検出電圧は、パルス幅制御回路22に出力され、このパルス幅制御回路22は、前記電圧検出器12で検出した検出電圧が、予め負荷50に応じて設定された所定の負荷電圧となるように、前記インバータ10の出力電圧パルス $V_1$ のパルス幅を設定し、これをパルス幅指令値としてスイッチ制御回路24に出力する。

【0016】また、前記電流検出器14の検出電流は、位相差検出器26に出力され、位相差検出器26は、前記電流検出器14の検出信号をもとに、インバータ出力電流 $I_L$ のゼロクロスタイミングを検出する。そして、インバータ出力電流 $I_L$ のゼロクロスタイミングと、前記スイッチ制御回路24から入力される、スイッチング素子SW1～SW4の切り替えタイミング情報とをもとに、スイッチング素子SW1又はSW2のターンオンタイミング、若しくは、スイッチング素子SW3又はSW4のターンオフタイミングと、ゼロクロスタイミングとのずれを検出し、各スイッチング素子SW1～SW4の切り替えタイミングに対し、ゼロクロスタイミングが進んでいるか否かを判断する。そして、その判断結果をタイミングずれ情報として周波数制御回路28に出力する。

【0017】ここで、前記スイッチング素子の切り替えタイミングとインバータ出力電流 $I_L$ のゼロクロスタイミングとのずれの検出は、前記出力電圧パルス $V_1$ の立ち上がりエッジ及び立ち下がりエッジを規定するスイッチング素子の切り替えタイミング、これはすなわちスイッチング損失の生じるスイッチング素子の切り替えタイ



ミングと、前記出力電圧パルス $V_1$ の立ち下がリエッジ及び立ち上がりエッジに対応する、インバータ出力電流 $I_L$ のゼロクロスタイミングとについてずれを検出する。

【0018】つまり、図5に示すように、時点 $t_{11}$ での出力電圧パルス $V_1$ の立ち上がりタイミングは、スイッチング素子 $SW_1$ のターンオンタイミングによって決まるから、スイッチング素子 $SW_1$ のターンオンタイミングと、インバータ出力電流 $I_L$ が負値から正値に変化するゼロクロスタイミングとについてそのずれを検出する。また、時点 $t_{14}$ での出力電圧パルス $V_1$ の立ち下がリエッジタイミングは、スイッチング素子 $SW_2$ のターンオンタイミングによって決まるから、スイッチング素子 $SW_2$ のターンオンタイミングと、インバータ出力電流 $I_L$ が正値から負値に変化するゼロクロスタイミングとについてそのずれを検出する。

【0019】また、時点 $t_{12}$ での出力電圧パルス $V_1$ の立ち下がリエッジタイミングは、スイッチング素子 $SW_4$ のターンオフタイミングによって決まり、時点 $t_{15}$ での出力電圧パルス $V_1$ の立ち上がりタイミングは、スイッチング素子 $SW_3$ のターンオフタイミングによって決まるから、スイッチング素子 $SW_4$ のターンオフタイミングと、インバータ出力電流 $I_L$ が正値から負値に変化するゼロクロスタイミングとのずれを検出し、同様に、スイッチング素子 $SW_3$ のターンオフタイミングと、インバータ出力電流 $I_L$ が負値から正値に変化するゼロクロスタイミングとのずれを検出する。

【0020】前記周波数制御回路28は、前記位相差検出器26からのタイミングずれ情報をもとに、出力電圧パルス $V_1$ の周波数を設定する。つまり、位相差検出器26で、インバータ出力電流 $I_L$ のゼロクロスタイミングの方がスイッチング素子の切り替えタイミングよりも進んでいると判定された場合には、周波数指令値 $f^*$ を予め設定した所定周波数 $\Delta f$ だけ減少させる。逆に、インバータ出力電流 $I_L$ のゼロクロスタイミングの方がスイッチング素子の切り替えタイミングよりも遅いと判定された場合には、周波数指令値 $f^*$ を所定周波数 $\Delta f$ だけ増加させる。

【0021】前記スイッチ制御回路24は、パルス幅制御回路22からのパルス幅指令値と、前記周波数制御回路28からの周波数指令値 $f^*$ をもとに、指定された周波数であり且つ指定されたパルス幅を有する出力電圧パルス $V_1$ を出力すべく、各スイッチング素子 $SW_1 \sim SW_4$ の切り替えタイミングを制御し、前記出力電圧パルス $V_1$ として正の電圧及び負の電圧が交互に出力されるように、スイッチング素子 $SW_1$ 及び $SW_2$ を共にオフ、又はスイッチング素子 $SW_3$ 及び $SW_4$ を共にオフするデッドタイムを挟んで各スイッチング素子 $SW_1 \sim SW_4$ をオン／オフ制御する。つまり、図2に示すように、スイッチング素子 $SW_1$ 及び $SW_4$ を共にオンとす

ることによって直流電源1の電源電圧 $+E$ となる出力電圧パルス $V_1$ を出力し、逆にスイッチング素子 $SW_2$ 及び $SW_3$ をオンとすることによって $-E$ を出力する。そして、これ以外のときには、出力電圧パルス $V_1$ は零電圧となる。

【0022】なお、インバータ10の出力端間の電圧と電流との極性が異なる場合には、ダイオードD1及びD4、又はダイオードD2及びD3が導通するが、スイッチ制御回路24から駆動信号がオンとして与えられているスイッチング素子と逆並列に接続されたダイオードがオンとなるので、駆動信号がオンとして与えられているスイッチング素子が導通している状態と同等となる。

【0023】ここで、インバータ10がインバータ回路に対応し、電流検出器14及び位相差検出器26においてインバータ出力電流 $I_L$ のゼロクロスタイミングを検出する処理がゼロクロスタイミング検出手段に対応し、スイッチ制御回路24から各スイッチング素子の切り替えタイミング情報を位相差検出器26に出力する処理がエッジ検出手段に対応し、位相差検出器26においてゼロクロスタイミングとスイッチング素子の切り替えタイミングとのずれを検出する処理がタイミングずれ検出手段に対応し、周波数制御回路28が周波数制御手段に対応し、スイッチ制御回路24がスイッチ制御手段に対応している。

【0024】次に、上記実施の形態の動作を説明する。今、インバータ10を、運転周波数が周波数初期値 $f_0$ で駆動し、また、負荷電圧 $V_2$ が所定値 $v_s$ となるように駆動するものとする、周波数制御回路28では、周波数指令値 $f^*$ として周波数初期値 $f_0$ を設定してスイッチ制御回路24に出力し（図3 ステップS1）、また、パルス幅制御回路22では、負荷電圧 $V_2$ が所定値 $v_s$ となり得るパルス幅指令値を設定し、これをスイッチ制御回路24に出力する。

【0025】スイッチ制御回路24では、指定された周波数指令値 $f^*$ であり且つ指定されたパルス幅指令値となるように、各スイッチング素子 $SW_1 \sim SW_4$ を所定のタイミングで切り替える。これによって、指定された周波数 $f^*$ であり且つ指定されたパルス幅の出力パルス電圧 $V_1$ がインバータ10から出力され、リアクトルL及びコンデンサCによる共振動作によって、出力電圧パルス $V_1$ よりも大きな負荷電圧 $V_2$ が発生し、これが負荷50に印加される。

【0026】この負荷電圧 $V_2$ は、電圧検出器12で検出されてパルス幅制御回路22に出力される。パルス幅制御回路22では、電圧検出器12で検出した検出電圧と所定値 $v_s$ とを比較し、検出電圧が所定値 $v_s$ よりも大きいときには、出力電圧パルス $V_1$ の零となる区間がより多くなるようにパルス幅指令値を設定し、逆に、検出電圧が所定値 $v_s$ よりも小さいときには、出力電圧パルス $V_1$ の $+E$ 又は $-E$ となる区間がより多くなるよう

に、パルス幅指令値を設定する。

【0027】スイッチ制御回路24では、出力電圧パルス $V_1$ のパルス幅が指定されたパルス幅指令値と一致するように、各スイッチング素子 $SW1 \sim SW4$ を切り替えるから、出力電圧パルス $V_1$ のパルス幅が制御されて、負荷電圧 $V_2$ が所定値 $v_s$ に一致するように制御される。このとき、電流検出器14では、インバータ出力電流 $I_L$ を検出しており、その検出結果を位相差検出器26に出力し、この位相差検出器26では、インバータ出力電流 $I_L$ のゼロクロスタイミングを検出している。例えば、スイッチ制御回路24からのスイッチング素子 $SW1 \sim SW4$ の切り替え情報のうち、スイッチング素子 $SW2$ のターンオンタイミングと、インバータ出力電流 $I_L$ が正値から負値となるゼロクロスタイミングとが一致するかどうかを検出し、これらが一致しないときには、どちらのタイミングが進んでいるかを検出する。

【0028】このとき、例えば、出力電圧パルス $V_1$ の周波数 $f_V$ が $f_V = f_0$ であるときのスイッチング素子 $SW1 \sim SW4$ のオンオフ状態と、インバータ出力電流 $I_L$ とが図5に示す関係にある場合には、時点 $t_{13}$ でインバータ出力電流 $I_L$ のゼロクロスタイミングが検出され、時点 $t_{14}$ でインバータ出力電流 $I_L$ のスイッチング素子 $SW2$ のターンオンタイミングが検出されることになる。よって、インバータ出力電流 $I_L$ のゼロクロスタイミングの方が進んでいるから、これを周波数制御回路28に通知する。

【0029】周波数制御回路28では、位相差検出器26からのタイミングずれ情報をもとに、ゼロクロスタイミングと切り替えタイミングとにずれがあるかどうかを判定し（ステップS2）、これらの間にずれがないときには、引き続き周波数指令値 $f^*$ として周波数初期値 $f_0$ を設定し、出力電圧パルス $V_1$ の周波数が周波数初期値 $f_0$ となるように指示するが、位相差検出器26からゼロクロスタイミングと切り替えタイミングとにずれがあることが通知されると、ステップS2からステップS3に移行する。そして、この場合、インバータ出力電流 $I_L$ のゼロクロスタイミングの方が進んでいるから、ステップS3からステップS4に移行し、周波数指令値 $f^*$ を $\Delta f$ だけ大きくし、これをスイッチ制御回路24に指示する。

【0030】これによって、スイッチ制御回路24では、各スイッチング素子 $SW1 \sim SW4$ の切り替えタイミングを変更し、これまでよりも $\Delta f$ だけ大きい周波数となるように、スイッチング素子 $SW1 \sim SW4$ の切り替え制御を行い、これに伴って、出力電圧パルス $V_1$ の周波数が変化する。このように出力電圧パルス $V_1$ の周波数が変化すると、リアクトル $L$ とコンデンサ $C$ とで構成される共振回路のインピーダンスが変化することから、インバータ出力電流 $I_L$ の位相が遅れ、図5において、時点 $t_{13}$ のゼロクロスタイミングと時点 $t_{14}$ のスイ

ッチング素子 $SW2$ のターンオンタイミングとのずれが小さくなる方向に移行する。

【0031】そして、これらゼロクロスタイミングとターンオンタイミングとが一致しない間は、ステップS4からステップS2に戻り、さらにステップS3を経てステップS4に移行し、周波数指令値 $f^*$ に $\Delta f$ を加算してさらに周波数を増加させる。これによって、インバータ出力電流 $I_L$ の位相が少しずつ遅れ、やがて出力電圧パルス $V_1$ の周波数 $f_V$ が $f_V = f_s$ に制御されたとき、図2に示すように、時点 $t_3$ でインバータ出力電流 $I_L$ のゼロクロスタイミングとスイッチング素子 $SW2$ のターンオンタイミングとが一致する。

【0032】周波数制御回路28では、これらゼロクロスタイミングとターンオンタイミングとが一致したことから、周波数指令値 $f^*$ の更新を停止し、この時点における周波数指令値 $f^*$ を、スイッチ制御回路24に対して継続して指示する。逆に、インバータ出力電流 $I_L$ のゼロクロスタイミングがスイッチング素子 $SW2$ のターンオンタイミングよりも遅れている場合には、ステップS3からステップS5に移行し、周波数指令値 $f^*$ を $\Delta f$ だけ減少させる。したがって、出力電圧パルス $V_1$ の周波数 $f_V$ が小さくなることから、インバータ出力電流 $I_L$ の位相が進み、インバータ出力電流 $I_L$ のゼロクロスタイミングがスイッチング素子 $SW2$ のターンオンタイミングに近づく方向に変化し、やがてこれらは一致する。

【0033】したがって、直流電源1の電源電圧の変動や、負荷 $50$ の変動等によって、負荷電圧 $V_2$ が変化すると、この負荷電圧 $V_2$ の変動を抑制するように、出力電圧パルス $V_1$ のパルス幅が変更され、これに伴って、スイッチング素子 $SW1 \sim SW4$ の切り替えタイミングと、インバータ出力電流 $I_L$ のゼロクロスタイミングとの関係が変化することになる。そして、このとき、スイッチング素子 $SW2$ のターンオンタイミングとインバータ出力電流 $I_L$ のゼロクロスタイミングとがずれていると、スイッチング素子 $SW2$ のターンオンタイミングにインバータ出力電流 $I_L$ が流れていることになって、ターンオン損失が生じることになる。

【0034】しかしながら、ゼロクロスタイミングとスイッチング素子 $SW2$ のターンオンタイミングとが一致するように、出力電圧パルス $V_1$ の周波数を制御してインバータ出力電流 $I_L$ の位相を調整するから、スイッチング素子 $SW2$ はゼロ電流スイッチング状態となって、スイッチング素子 $SW2$ のターンオン損失を低減することができる。

【0035】また、スイッチング素子 $SW1$ のターンオンタイミングとスイッチング素子 $SW2$ のターンオンタイミングとは半周期ずれているから、スイッチング素子 $SW2$ のターンオンタイミングとゼロクロスタイミングとを一致させることによって、スイッチング素子 $SW1$

のターンオンタイミング及びゼロクロスタイミングも一致することになり、スイッチング素子SW1のターンオン損失も低減されることになる。

【0036】また、上記実施の形態においては、インバータ出力電流 $I_L$ を直接検出し、これに基づいてゼロクロスタイミングを検出するようにしているから、高精度にゼロクロスタイミングを検出することができ、このゼロクロスタイミングに基づいて周波数調整を行うことによってより的確にスイッチング損失を低減させることができる。

【0037】また、このように、スイッチング損失を低減することができるから、装置全体の電力効率を向上させることができる。また、スイッチング損失が生じると、これによる熱を放散する必要があるため、装置が大型化するが、上記実施の形態においては、スイッチング損失を低減することができるから、装置の大型化を抑制することができる。

【0038】また、上記実施の形態においては、インバータ10の運転周波数を変化させることによって、スイッチング素子SW2のターンオン損失を低減させるようにしている。このため、運転周波数を変化させることによって電流値が増加する場合があり、ターンオフ時の電流値の増加に伴ってターンオフ損失が増加する場合がある。しかしながら、このターンオフ損失の増加量は、ターンオン損失の低減量に比較して微小であるから問題ない。

【0039】また、インバータ10の運転周波数を制御することによって、スイッチング損失を低減することができるから、既存の構成を大幅に変更することなく実現することができる。また、ソフトスイッチング等の他の手法によって損失低減を図ることが困難な場合であっても、インバータ10の運転周波数を制御することにより損失低減を図ることができ、さらに、これらを組み合わせて損失低減を図ることによって、損失をより低減することができる。

【0040】特に、PWM制御によってパルス幅が制御される場合には、そのパルス幅の変化に応じてスイッチング素子の切り替えタイミングとゼロクロスタイミングとのずれ量が増加し、スイッチング損失が増加する場合があるが、パルス幅の変化に起因するスイッチング損失の増加を、出力電圧パルス $V_1$ の周波数を変更することによって、抑制することができるから好適である。

【0041】なお、上記実施の形態においては、スイッチング素子SW2のターンオンタイミングとインバータ出力電流 $I_L$ のゼロクロスタイミングとを一致させることによって、スイッチング素子SW1及びSW2のターンオン損失を低減するようにした場合について説明したが、これに限らず、スイッチング素子SW1のターンオンタイミングとインバータ出力電流 $I_L$ が負値から正値となるゼロクロスタイミングとを一致させるようにして

もよく、この場合にも、スイッチング素子SW1及びSW2のターンオン損失を低減することができる。

【0042】また、上記実施の形態においては、ゼロクロススイッチング素子SW1及びSW2のターンオン損失を低減するようにした場合について説明したが、これに限らず、スイッチング素子SW3とスイッチング素子SW4のターンオフ損失を低減させることも可能である。この場合には、スイッチング素子SW3のターンオフタイミングとインバータ出力電流 $I_L$ が負値から正値となるゼロクロスタイミング、又は、スイッチング素子SW4のターンオフタイミングとインバータ出力電流 $I_L$ の正値から負値となるゼロクロスタイミングとを一致させるようにすればよい。

【0043】また、このようにスイッチング素子SW1及びSW2のターンオン損失及びスイッチング素子SW3及びSW4のターンオフ損失の何れも低減させることができるが、これらを共に低減させることはできない。したがって、何れの損失を低減させるかは、損失の大きい方、或いはソフトスイッチング等の他の手法によって損失低減を図ることが困難な方を選択するようにすればよい。

【0044】また、上記実施の形態においては、負荷50をコンデンサCと並列に接続した場合について説明したが、リアクトルLとコンデンサCとの間に負荷50が接続された場合であっても適用することができる。また、フルブリッジ形のインバータに適用した場合について説明したが、これに限らず、例えばハーフブリッジ形のインバータに適用することも可能であり、また、単相インバータに限らず、多相インバータであっても適用することができる。要は、共振形インバータであれば適用することができる。

【0045】また、上記実施の形態においては、周波数指令値 $f^*$ を、 $\Delta f$ ずつ更新するようにした場合について説明したが、これに限るものではない。例えばスイッチング素子の切り替えタイミングとゼロクロスタイミングとのずれ量を検出するようにし、PI（比例・積分）調節器等を用いて、前記ずれ量が比較的大きい場合には、周波数指令値 $f^*$ を比較的大きく更新し、その後、少しずつ周波数を更新するようにしてもよい。

【0046】

【発明の効果】以上説明したように、本発明の請求項1及び請求項2に係る共振形インバータによれば、インバータ回路の出力電圧パルスの立ち上がり又は立ち下がりエッジのタイミングと、インバータ回路の出力電流のゼロクロスタイミングとが一致するように周波数を制御するようにしたから、インバータ回路を構成するスイッチング素子のスイッチング損失を容易に低減することができる。

【図面の簡単な説明】

【図1】本発明を適用した共振形インバータの一例を示

す概略構成図である。

【図2】本発明の共振形インバータの動作説明に供するタイミングチャートである。

【図3】図1の周波数制御回路の処理手順の一例を示すフローチャートである。

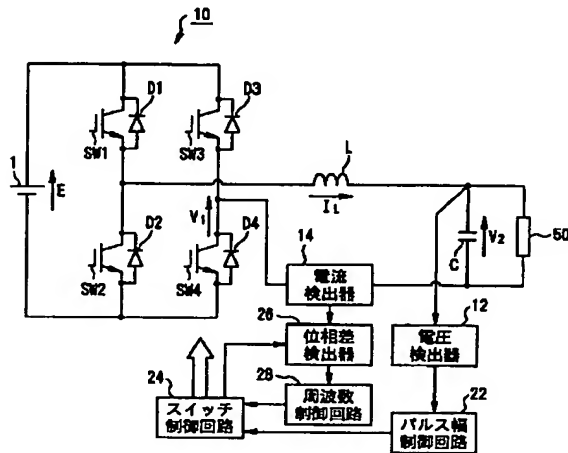
【図4】従来の共振形インバータの一例を示す概略構成図である。

【図5】従来の共振形インバータの動作説明に供するタイミングチャートである。

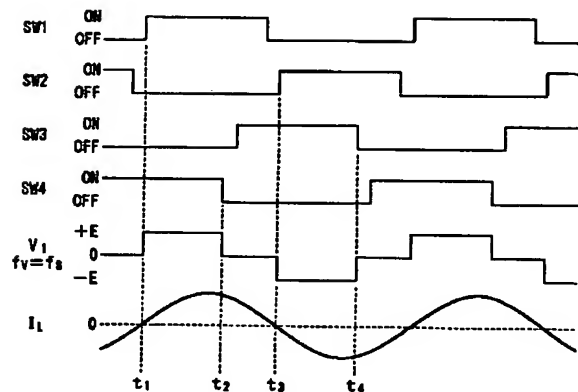
【符号の説明】

- 1 直流電源
- 10 インバータ
- 12 電圧検出器
- 14 電流検出器
- 22 パルス幅制御回路
- 24 スイッチ制御回路
- 26 位相差検出器
- 28 周波数制御回路
- 50 負荷

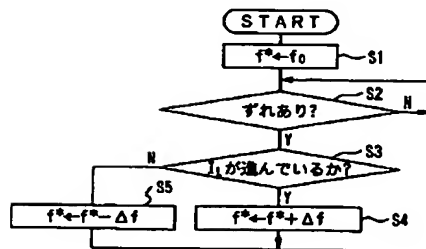
【図1】



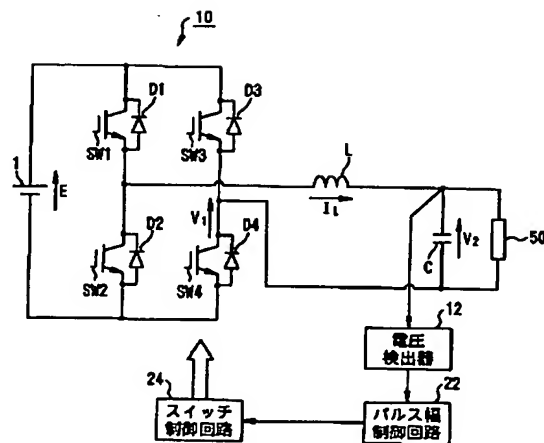
【図2】



【図3】



【図4】



【図5】

